



(19)

(11) Publication number: 2000106396 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 10274866

(51) Int'l. H01L 21/768 H01L 21/312 H01L 21/316
Cl.: H01L 21/3205

(22) Application date: 29.09.98

(30) Priority:

(43) Date of application publication: 11.04.00

(84) Designated contracting states:

(71) Applicant: SHARP CORP

(72) Inventor: TAKENAKA NOBUYUKI

(74) Representative:

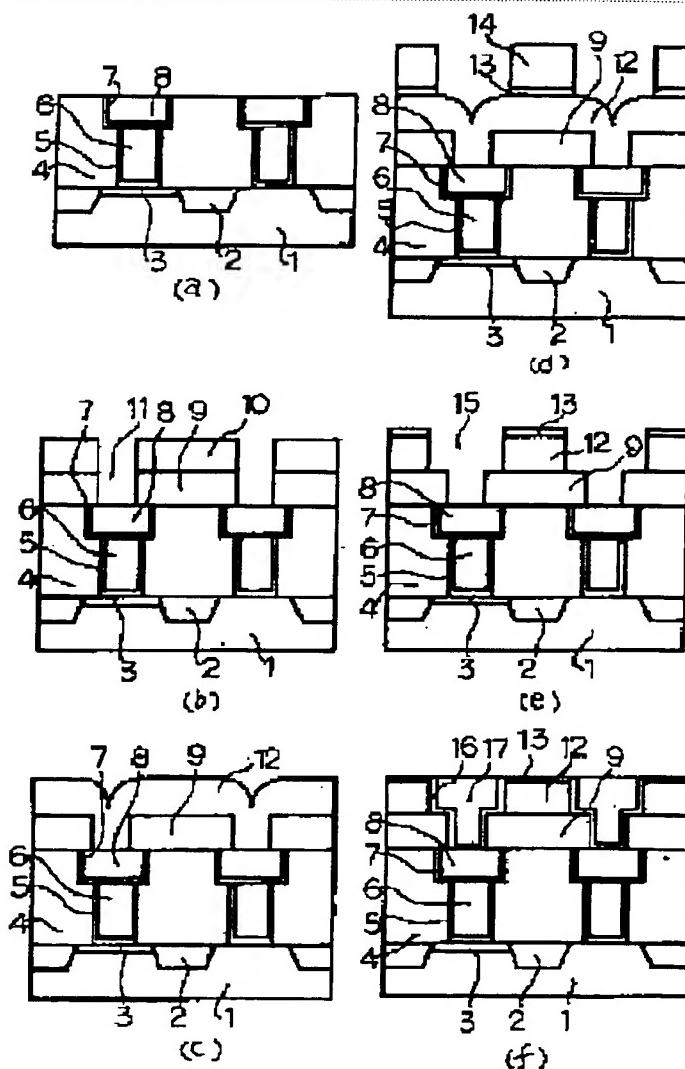
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To perform the etching under the state that an aspect ratio is lower when a through hole is opened and to perform processing readily.

SOLUTION: After a plasma oxide film 9 is deposited, a through hole 11 having the specified shape is provided. A low permittivity film 12, which has the larger selecting ratio of etching for the plasma oxide film 9, is deposited on the entire surface. Then, a wiring groove 15 is formed in the low permittivity film 12. A barrier metal 16 and a conducting layer 17 are embedded in the through hole 11 and the wiring groove 15 in the entire surface. The surface is flattened by a CMP method, and the wiring is formed.

COPYRIGHT: (C)2000,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-106396
(P2000-106396A)

(43)公開日 平成12年4月11日 (2000.4.11)

(51)Int.Cl.⁷
H 01 L 21/768
21/312
21/316
21/3205

識別記号

F I
H 01 L 21/90
21/312
21/316
21/88

テマコード(参考)
B 5 F 0 3 3
N 5 F 0 5 8
M
K

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21)出願番号

特願平10-274866

(22)出願日

平成10年9月29日 (1998.9.29)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 竹中伸之

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(74)代理人 100103296

弁理士 小池 隆彌

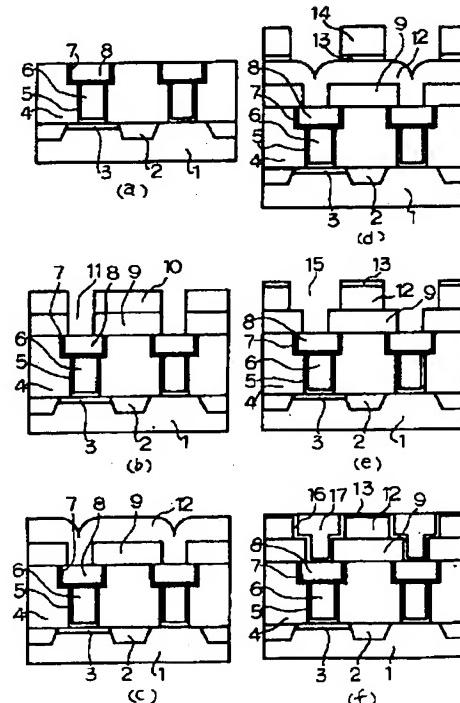
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 絶縁膜途中にエッティングストップ層を設ける方法においては、スルーホール形成時に既に上層の絶縁膜が成膜されているのでホールアスペクトが高くなってしまい、加工が困難になる等の問題点があった。

【解決手段】 プラズマ酸化膜9を堆積した後、所定の形状のスルーホール9を設ける。全面にプラズマ酸化膜9に対してエッティングの選択比が大きい低誘電率膜12を堆積させる。次に低誘電率膜12に配線溝15を形成する。全面にバリアメタル16及び導電層17をスルーホール9及び配線溝15に埋設する。CMP法により表面を平坦化し、配線を形成する。



【特許請求の範囲】

【請求項1】 第1の絶縁膜を堆積した後、導電性の下地が露出するように所定の形状の第1の開口部を設ける工程と、

全面に上記第1の絶縁膜に対してエッチングの選択比が大きい第2の絶縁膜を堆積させる工程と、

少なくとも、上記第1の開口部領域が開口されたパターンのマスクを用いて、上記第2の絶縁膜をエッチングし、上記第2の絶縁膜に第2の開口部を形成する工程と、

全面に配線材料を堆積し、該配線材料を上記第1の開口部及び第2の開口部に埋設するとともに、上記導電性の下地と上記配線材料とを電気的に接続する工程と、

上記配線材料を研磨することにより、上記第1の開口部及び第2の開口部に配線を形成する工程とを有することを特徴とする、半導体装置の製造方法。

【請求項2】 上記第2の絶縁膜は上記第1の絶縁膜より誘電率が小さいことを特徴とする、請求項1に記載の半導体装置の製造方法。

【請求項3】 上記第1の絶縁膜にシリコン酸化膜を、上記第2の絶縁膜にフッ素化アモルファスカーボン絶縁膜又はポリテトラフルオロパラキシレン膜又はポリアリレンエーテルズ膜を、上記マスク材料にシリコン塗化膜又はシリコン酸化塗化膜又はシリコン酸化膜を用いることを特徴とする、請求項1又は請求項2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特に複数の配線層を有する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 従来の多層配線形成では、第1の従来技術の多層配線形成工程を示す図2における図2(a)に示すように、絶縁膜上にパターンニングされた配線層26であるA1系合金膜上に絶縁膜29を成膜した後(図2(b))、化学的機械的研磨(以下、「CMP」という)法等の技術により、絶縁膜29を平坦化した後、スルーホールを開口し、その上に上層配線層となるバリアメタル30と導電膜31を成膜し、パターンニングを行う。この工程を繰り返すことにより、多層配線構造を形成する。また、スルーホールのアスペクト比が大きくなる場合は、スルーホールの開口部にCVDータンクステンを成膜した後、エッチバックにてタンクステンプラグを形成し、その後、上層配線を成膜する方法をとっている。この配線層を成膜した後に、絶縁膜を形成する方法では、配線ピッチが狭くなると、絶縁膜を配線間に埋め込むのが困難になるとともに、絶縁膜の形成後、表面の凹凸が激しく、上層の配線を形成するために、後の工程が困難になるという問題があるので、特開平7-153

757号公報では絶縁膜にスルーホールと配線溝とを形成後、配線材料を埋め込む方法が考案されている。

【0003】 第2の従来技術の多層配線形成工程を図3に示す。すなわち、図3(a)に示すように下地配線層28上に厚く成膜された絶縁膜32に配線溝を開成し、その上に形成したスルーホールパターンマスク33によりスルーホールを形成した後(図3(b))、配線溝・スルーホール内に配線材料としてバリアメタル30及び導電膜31を成膜し、不要部分をCMP法により平坦化する埋め込み配線層の形成方法である(図3(c))。

【0004】 図3では、配線溝を開成した後に、スルーホールを形成しているが、スルーホールを先に形成し、その後配線溝を形成し、配線材料を埋め込んでもよい。

【0005】 しかし、これらの絶縁膜に配線溝及びスルーホールを形成した後配線材料を埋め込む方法では、ウエハ内のエッチングばらつきや配線溝の幅の大小によるエッチング深さの違いにより、配線溝形成時における深さ制御が困難であり、大きなばらつきを含むことになる。このばらつきはそのまま配線層の膜厚のばらつきになるため、配線抵抗のはらつきが大きくなるという問題点があった。これを解決する方法として、特開平8-17918号公報にあるように、絶縁膜途中にエッチングストップ層を設ける方法もある。

【0006】 図4に第3の従来の多層配線形成工程としてその方法を示す。下地の配線層28上に絶縁膜(SiO₂膜)29とエッチングのストップ層(SiN膜)34を形成する(図4(a))。次に、スルーホールとなる領域のストップ層34をレジストをマスクにしてエッチング除去する。レジスト除去後、絶縁膜35を形成し、配線パターンのレジスト36をマスクにして(図4(b))絶縁膜のエッチングを行うと、配線部はストップ層34で止まり、スルーホール部は下層の配線層までエッチングされる。次に、レジスト36を除去した後、配線溝、スルーホール内に配線材料として、バリアメタル30及び導電膜31を成膜し、不要部分をCMP法により平坦化する埋め込み配線層を形成する(図4(c))。配線溝の深さは一定となり、抵抗にバラツキのない埋め込み配線層が得られる。

【0007】 尚、図2乃至図4において、21は半導体基板、22は素子分離層、23は拡散層、24は層間絶縁膜、25はバリアメタル、26はコンタクトプラグ、27はバリアメタル、28は配線層、29は絶縁膜、30はバリアメタル、31は導電膜、32は絶縁膜、33はスルーホールパターンマスク、34はストップ層、35は絶縁膜、36はレジストを示す。

【0008】

【発明が解決しようとする課題】 絶縁膜途中にエッチングストップ層を設ける方法においては、配線抵抗のばらつきのない方法だが、スルーホール形成時に既に上層の絶縁膜が成膜されているのでホールアスペクトが高くなつ

ており、加工が困難になると共に、下層絶縁膜エッチング時に発生する酸素によってエッチングのストップ層との選択比が低下するという問題点があつた。

【0009】また、半導体装置の高集積化により、配線の密度が高くなると配線間容量が高くなり、高速動作などに問題があるので、絶縁膜として酸化膜より低誘電率の絶縁膜が検討されている。酸化膜にフッ素を含めたSiO₂膜は誘電率が大きく下がらないので、Si系ではなくカーボン(C)系の合成樹脂膜が開発されつつある。これらの膜をこの方法に適用した場合、レジストマスク除去時のエッチングレートが大きいので、スルーホール部の絶縁膜のエッチング後のアッシング時には配線部の合成樹脂膜の横方向へのエッチングが大きくなり、高集積化には適しない。

【0010】

【課題を解決するための手段】請求項1に記載の本発明の半導体装置の製造方法は、第1の絶縁膜を堆積した後、導電性の下地が露出するように所定の形状の第1の開口部を設ける工程と、全面に上記第1の絶縁膜に対してエッチングの選択比が大きい第2の絶縁膜を堆積させる工程と、少なくとも、上記第1の開口部領域が開口されたパターンのマスクを用いて、上記第2の絶縁膜をエッチングし、上記第2の絶縁膜に第2の開口部を形成する工程と、全面に配線材料を堆積し、該配線材料を上記第1の開口部及び第2の開口部に埋設するとともに、上記導電性の下地と上記配線材料とを電気的に接続する工程と、上記配線材料を研磨することにより、上記第1の開口部及び第2の開口部に配線を形成する工程とを有することを特徴とするものである。

【0011】また、請求項2に記載の本発明の半導体装置の製造方法は、上記第2の絶縁膜は上記第1の絶縁膜より誘電率が小さいことを特徴とする、請求項1に記載の半導体装置の製造方法である。

【0012】さらに、請求項3に記載の本発明の半導体装置の製造方法は、上記第1の絶縁膜にシリコン酸化膜を、上記第2の絶縁膜にフッ素化アモルファスカーボン絶縁膜又はポリテトラフルオロパラキシレン膜又はポリアリレンエーテルズ膜を、上記マスク材料にシリコン窒化膜又はシリコン酸化窒化膜又はシリコン酸化膜を用いることを特徴とする、請求項1又は請求項2に記載の半導体装置の製造方法である。

【0013】

【実施の形態】以下、一の実施の形態に基づいて、本発明を詳細に説明する。

【0014】本実施の形態では、図1を用いて、既に下層配線層が形成された状態から説明する。尚、図1において、1は半導体基板、2は素子分離領域、3は拡散層、4は層間絶縁膜、5はバリアメタル、6はコンタクトプラグ、7はバリアメタル、8は導電膜、9はプラズマ酸化膜、10はレジスト、11はスルーホール、12は

低誘電率膜、13はP-SiN膜、14はレジスト、15は配線溝、16はバリアメタル、17は導電膜を示す。

【0015】まず、拡散層3が形成された半導体基板1上の層間絶縁膜4にはコンタクトプラグ3が形成されており(図1(a))、その上に配線層がバリアメタル7と導電膜8として形成されている。この配線層上に第1の絶縁膜、例えば、プラスチック酸化膜9を600nm成膜するか、他のシリコン酸化膜等でもよい。成膜条件としては、プラズマCVD法により圧力8Torr、堆積温度400°C、RFパワー700W、ガス流量TEOS/O₂:800:600sccmにて時間制御で所定の膜厚を成膜する。

【0016】次に、その上にレジスト10にてスルーホールパターンを形成した後、そのレジストマスクとしてドライエッチングによりスルーホール11を形成する。加工条件としては、誘導結合型の高密度プラズマ源を有するドライエッチング装置を用いて、圧力10mTorr、ソースパワー800W、ガス流量:C₄F₈/Ar=15:100sccmにて下地の配線が露出してから20%のオーバーエッチングを行う(図1(b))。

【0017】次に、スルーホール11を開口後、酸素プラズマアッシングにてレジスト10を除去した後、その上に第2の絶縁膜として、低誘電率膜12であるフッ素化アモルファスカーボン絶縁膜を500nm成膜する。成膜条件としては、平行平板のプラズマCVD法により、圧力1.2Torr、印加電力0.59W/cm²、成膜温度400°C、ガス流量C₂H₂/C₄F₈=10:70sccmで時間制御にて所定の膜厚を成膜する(図1(c))。

【0018】次に、フッ素化アモルファスカーボン絶縁膜12上にプラズマCVD法により窒化シリコン膜(以下、「P-SiN膜」という)13を30nmの膜厚に成膜する。成膜条件は圧力5.5Torr、堆積温度360°C、RFパワー410W、ガス流量SiN₄/NH₃/N₂=135:50:1400sccmにて行う。この膜上に、レジスト14を塗布し、溝パターンを形成した後、それをマスクにドライエッチングにより、溝パターンをP-SiN膜13に転写する。加工条件としては、マグネットロンRIEにより圧力50mTorr、RFパワー400W、ガス流量CF₄/CHF₃/Ar/O₂=15:5:100:5sccmにて、10%のオーバーエッチングを行う(図1(d))。

【0019】次に、圧力5mTorr、RFパワー100W、ガス流量O₂=15sccmにてP-SiN膜13をマスクにフッ素化アモルファスカーボン絶縁膜(a-C:F)12を加工し、配線溝15を形成する。この時スルーホール内のフッ素化アモルファスカーボン絶縁膜12も除去する条件で行う。フッ素化アモルファスカーボン絶縁膜12は第1の絶縁膜であるプラズマ酸

化膜9に対して100以上の十分な選択比が得られるため、第1の絶縁膜はほとんど膜減りを起こさず、初期の形状を維持することが可能である。P-SiN膜13を加工するために使用したレジストマスクはこの同時にエッチング除去される。以上より配線溝15がフッ素化アモルファスカーボン絶縁膜12中に形成される(図1(e))。

【0020】次に、このスルーホール11、配線溝15内にバリアメタル(TiN, Ti=50~30nm)16を、また、バリアメタル16上に導電率の高い導電膜(Cu=500nm)17をスペッタ法にて堆積後に、P-SiN膜13上に堆積された余分なバリアメタル16及び導電膜17をCMP法にて除去する。研磨条件としては、酸化アルミニウムパーティクルを含んだ酸ベースのスラリーを用いて、研磨圧7psi、研磨回転数30rpm、ウエハ回転数40rpmにてP-SiN膜が露出するまで行う。

【0021】以上の工程により、第1の絶縁膜9にスルーホールを、また、第2の絶縁膜12に配線溝を有する埋め込み配線層が形成される(図1(f))。

【0022】以降、この工程の繰り返しにより必要な層数を積層する。本実施の形態では上下の配線層間で説明したが、半導体基板1と配線層との間でも適用できる。尚、第2の絶縁膜であるフッ素化アモルファスカーボン絶縁膜10は酸化膜(誘電率=4)より低い誘電率(=2.3)であるため、配線間容量が小さくなり、半導体装置は高速動作や低消費電力が可能となる。

【0023】また、本実施の形態では、フッ素化アモルファスカーボン絶縁膜で説明したが、他にテトラフルオロパラキシリレンのダイマー(2量体)を材料とし、これを100°Cで昇華、650°Cで分解させたガス状態のモノマーを、冷却した基板に導くことにより形成されるパリレンAF4(ポリテトラフルオロパラキシリレン: Poly tetra fluoro-p-xylene s)膜やポリマーを溶媒に溶かした液を塗布し、ベークするスピノンポリマー法にて形成できるPAE(ポリアリレンエーテルズ: Poly arylene ethers)膜も使用できる。これらの誘電率も2.5付近の樹脂膜であり、無機物質でないので、同様な効果が期待できる。

【0024】また、第2の絶縁膜である低誘電率の樹脂膜のエッチングマスクに用いたP-SiN膜は配線材料のCMP時にストップとしても利用している。低誘電率の樹脂膜と第1の絶縁膜であるプラズマ酸化膜のエッチング選択比は十分大きいので、エッチングマスクとして窒化膜でなくて酸化膜やSiON膜でも適用できる。

【0025】更に、配線材料のバリアメタルとしては、他にTa、TaNやWN_xが、導電膜としては、Al、Au、Ag、Al系合金、Cu系合金が適用できる。

【0026】

【発明の効果】以上、詳細に説明したように、本発明を用いることにより、スルーホールの開口時はアスペクト比が低い状態でエッチングできるため、容易に加工ができる。また、従来と同様にスルーホールの深さ、配線層膜厚は成膜膜厚にて制御可能なため、膜厚ばらつきを低減でき、均一な膜厚の配線を形成することが可能となる。

【0027】レジストマスクによる加工の困難な低誘電率膜を加工するために用いたエッチングマスクを埋め込み配線材料のCMPのストップとして利用できるので、別工程でストップ層を形成する必要がない。

【0028】以上のように、第2の絶縁膜に選択比が大きく、低誘電率の膜を用いているので、高性能な半導体装置が得られる。

【図面の簡単な説明】

20 【図1】本発明の一実施の形態の半導体装置の製造工程図である。

【図2】第1の従来の多層配線構造の半導体装置の製造工程図である。

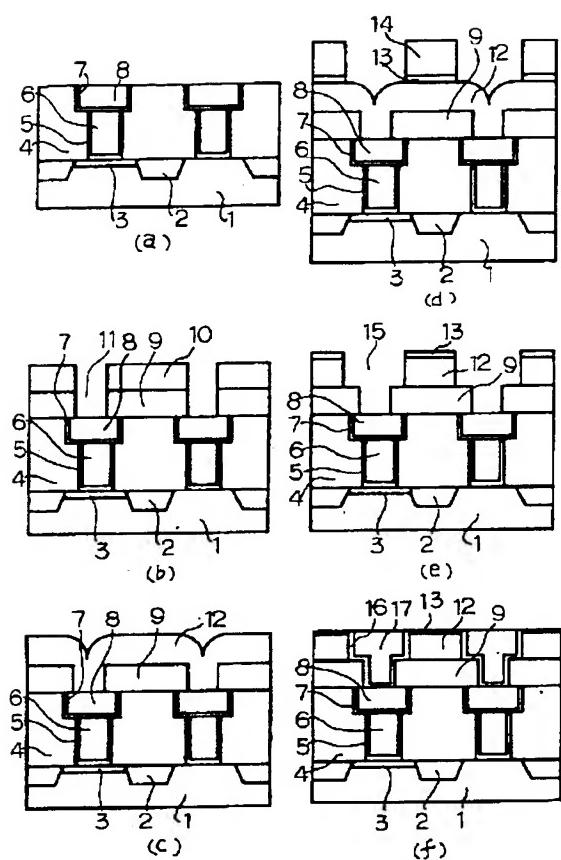
【図3】第2の従来の多層配線構造の半導体装置の製造工程図である。

【図4】第3の従来の多層配線構造の半導体装置の製造工程図である。

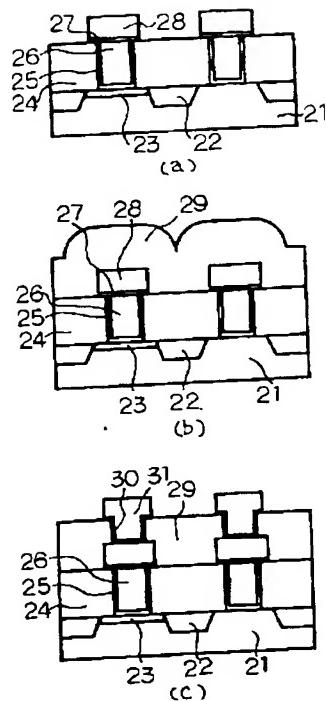
【符号の説明】

- | | |
|----|---------|
| 1 | 半導体基板 |
| 2 | 素子分離層 |
| 3 | 拡散層 |
| 4 | 層間絶縁膜 |
| 5 | バリアメタル |
| 6 | コントラブル |
| 7 | バリアメタル |
| 8 | 導電膜 |
| 9 | プラズマ酸化膜 |
| 10 | レジスト |
| 11 | スルーホール |
| 12 | 低誘電率膜 |
| 13 | P-SiN膜 |
| 14 | レジスト |
| 15 | 配線溝 |
| 16 | バリアメタル |
| 17 | 導電層 |

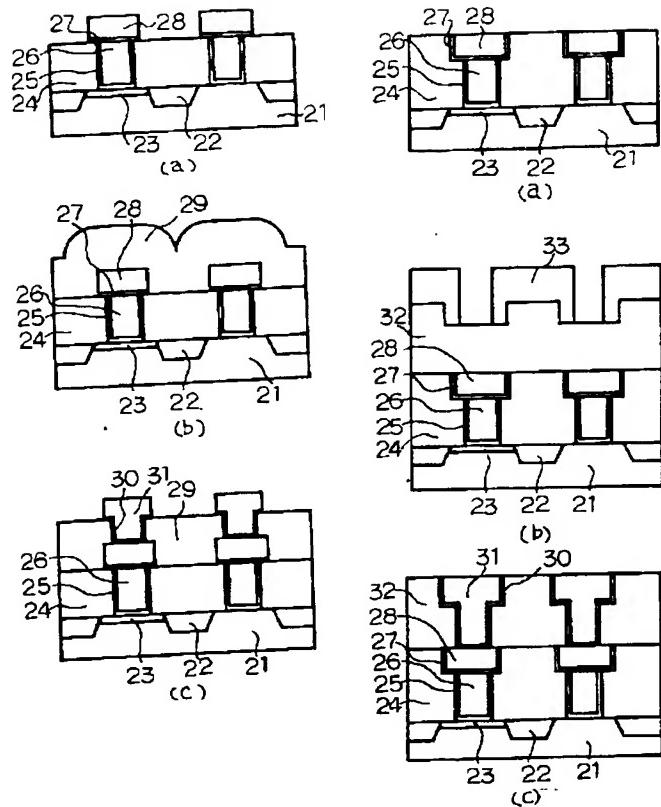
【図1】



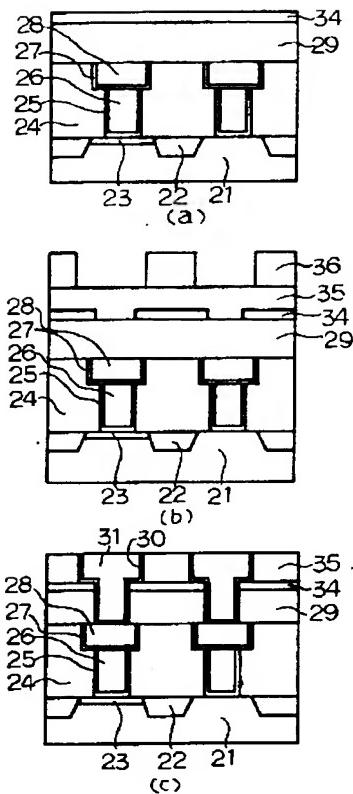
【図2】



【図3】



【図4】



フロントページの続き

F ターム(参考) 5F033 AA12 AA19 AA29 AA34 AA35
 AA64 BA17 BA25 DA07 DA34
 DA36 DA38 EA03 EA22 EA25
 EA28 EA29 FA03
 5F058 AA03 AC10 AE05 AF02 AF04
 AG04 AH02 BA06 BD02 BD04
 BD10 BD15 BD18 BD19 BF07
 BF14 BF21 BF23 BF25 BF29
 BF30 BH12 BH20 BJ01